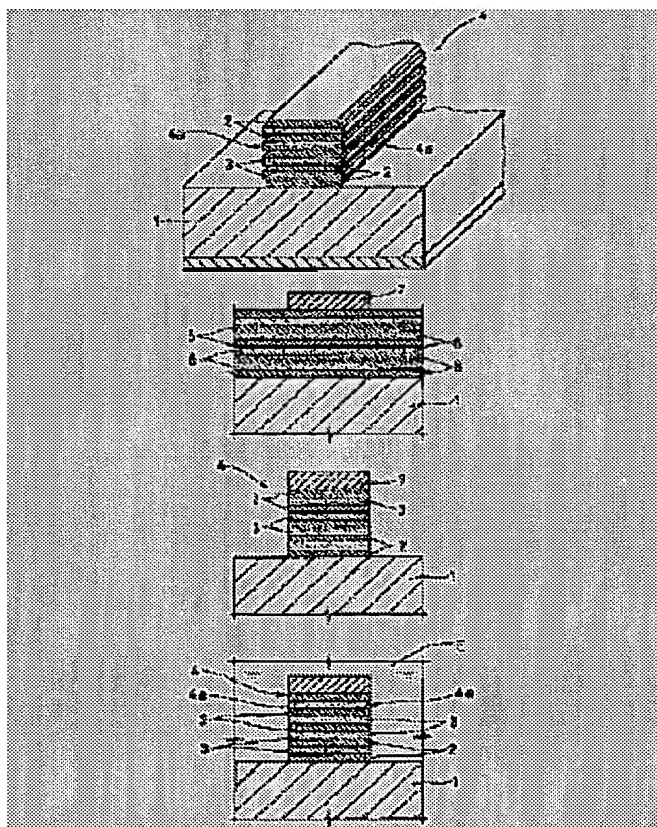


MANUFACTURE OF THIN FILM LAMINATED ELECTRODE

Patent number: JP7336118
Publication date: 1995-12-22
Inventor: KOBAYASHI MASATO; others: 02
Applicant: MURATA MFG CO LTD
Classification:
 - international: H01P11/00; H01G4/30; H01L21/28;
 H01L21/3205; H01P3/08; H01P3/18;
 H05K3/02; H05K3/06; H05K3/46
 - european:
Application number: JP19940123765 19940606
Priority number(s):

Abstract of JP7336118

PURPOSE: To prevent the terminal parts of conductor thin film from being short-circuited mutually and to improve the yield of a product by applying etching to the conductor thin film exposed on the end face of an electrode pattern in which the conductor thin film and dielectric thin film are laminated alternately,
CONSTITUTION: The conductor thin film 5 consisting of Cu and the dielectric thin film 6 consisting of SiO₂ are laminated alternately on the surface of a dielectric substrate 1, and after that, a mask pattern is formed with a photoresist material, etc., on the surface of the conductor thin film 2 located at the uppermost part, and the electrode pattern 4 can be formed by applying etching processing to it. Following that, selective etching processing is applied to only the conductor thin film 2 exposed on the end face 4a of the electrode pattern 4 by soaking it in ferric chloride water solution E, and it is retreated to a position deeper than the end face 4a. Or, an exposed part is made into a nonconductor by injecting one ion of oxygen, nitrogen and carbon to exposed conductor thin film 2. Or, an upper plane and the end face 4a are coated with protective film such as polyimide resin, etc. In this way, it is possible to prevent the conductor



patterns from being short-circuited
mutually.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336118

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 11/00		G		
H 0 1 G 4/30	3 1 1 D	7924-5E		
H 0 1 L 21/28		E		
21/3205				

H 0 1 L 21/ 88

Z

審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平6-123765

(22) 出願日 平成6年(1994)6月6日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 小林 真人

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 中川原 修

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 吉野 幸夫

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

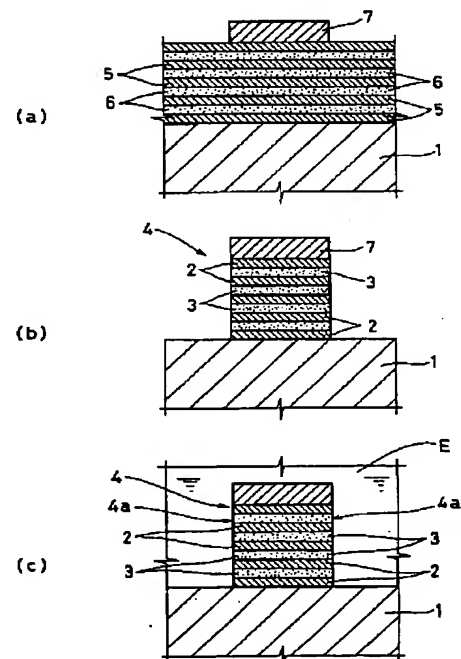
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 薄膜積層電極の製造方法

(57) 【要約】

【目的】 導体薄膜の端部どうしが相互短絡するを防止して歩留まりを向上させること。

【構成】 本発明にかかる薄膜多層薄膜の製造方法は、誘電体基板1の表面上に導体薄膜5と誘電体薄膜6とを交互に積層してなる電極パターン4を形成した後、電極パターン4の端面4aに露出している導体薄膜5だけを選択的にエッチングするか、電極パターン4の端面4aに露出している導体薄膜5に、酸素、窒素、炭素のうちの少なくとも一つのイオンを注入するか、または、電極パターン4の端面4aを、無機物誘電体、もしくは有機物誘電体からなる保護膜10、11で被覆することに特徴がある。



【特許請求の範囲】

【請求項1】 誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面に露出している導体薄膜を選択的にエッチングすることを特徴とする薄膜積層電極の製造方法。

【請求項2】 誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面に露出している導体薄膜に、酸素、窒素、炭素のうちの少なくとも一つのイオンを注入することを特徴とする薄膜積層電極の製造方法。

【請求項3】 誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面を、無機物誘電体、もしくは有機物誘電体からなる保護膜で被覆することを特徴とする薄膜積層電極の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ波・ミリ波デバイスなどの多層薄膜デバイスを製造する際に採用される薄膜積層電極の製造方法に関する。

【0002】

【従来の技術】近年、マイクロ波・ミリ波デバイスにおいては、高周波での表皮効果に伴う導体損失が大きくなってQ値が低下することを回避するため、図9で示すマイクロストリップラインにおけるような薄膜積層電極構造を採用することが行われている。すなわち、この種のデバイスの一例であるマイクロストリップラインは、誘電体基板1の表面上に導体パターン2を誘電体パターン3を介しながら積層した薄膜積層電極を有するものであり、この薄膜積層電極の電極パターン4は図10で示すような薄膜積層電極の形成方法に従って製造されるのが一般的となっている。

【0003】そして、このマイクロストリップラインの製造に際しては、まず、図10(a)で示すように、サファイアR面の誘電体基板1の表面上にCuなどからなる導体薄膜5とSiO₂などからなる誘電体薄膜6とを交互に積層したうえ、最上部に位置する導体薄膜5の表面上に導体パターン2と対応する形状とされたフォトリソ（感光性樹脂）からなるマスクパターン7を形成する。次に、マスクパターン7を介したうえでのエッチング処理によって導体薄膜5及び誘電体薄膜6のそれぞれを交互に一層ずつパターンニングしながら、図10(b)で示すように、すべての導体薄膜5及び誘電体薄膜6をパターンニングしてしまうと、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4が形成されることになる。

【0004】

【発明が解決しようとする課題】しかしながら、このようにして形成される薄膜積層電極では、導体パターン2どうしが、ほとんど厚みを有しない誘電体パターン3を介して隣り合っており、そのために、電極パターン4の端面4aに露出している導体パターン2の端部どうしが相互短絡することが起こり、そのために設計通りの特性が得られず、歩留まりが非常に悪いという問題があった。

【0005】本発明は、このような不都合に鑑みて創案されたものであって、導体薄膜の端部どうしが相互短絡するを防止して歩留まりを向上させることを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の発明は、誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面に露出している導体薄膜を選択的にエッチングすることに特徴を有している。

【0007】第2の発明は、誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面に露出している導体薄膜に、酸素、窒素、炭素のうちの少なくとも一つのイオンを注入することに特徴を有している。

【0008】第3の発明によれば、誘電体基板の表面上に導体薄膜と誘電体薄膜とを交互に積層してなる電極パターンを形成した後、前記電極パターンの端面を、無機物誘電体、もしくは有機物誘電体からなる保護膜で被覆することに特徴を有している。

【0009】

【作用】第1の発明によれば、電極パターンの端面に露出している導体薄膜を選択的にエッチングすることにより、導体薄膜の端部は電極パターン端面から奥まった位置まで後退して、電極パターン端面に露出することはなくなる。

【0010】第2の発明によれば、電極パターンの端面に露出している導体薄膜の端部は、酸素、窒素、炭素のうちの少なくとも一つのイオンが注入されることにより、絶縁体化することになる。

【0011】第3の発明によれば、電極パターンの端面が、無機物誘電体、もしくは有機物誘電体からなる保護膜で被覆されるので、電極パターンの端面に露出している導体薄膜の端部の間には、これらの誘電体保護膜が介在することになる。

【0012】

【実施例】以下、本発明方法の実施例を図面に基づいて説明する。

【0013】第1実施例

図1は本実施例にかかるマイクロストリップラインの要

部構造を簡略化して示す一部破断斜視図であり、図2は本実施例のマイクロストリップラインのパターンの製造方法をそれぞれ示す断面図である。

【0014】本実施例の方法によって製造されたマイクロ波・ミリ波デバイスの一例であるマイクロストリップラインは、サファイアR面からなる誘電体基板1の表面上に、導体パターン2と誘電体パターン3とを交互に積層して構成した電極パターン4を備えた構造を有しており、基本的には従来例のものと変わらないが、電極パターン4の端面4aに導体パターン2が露出していないことに構造的な特徴がある。

【0015】次の、このマイクロストリップラインの製

造工程を説明する。まず、例えばサファイアR面の誘電体基板1を用意したうえ、この誘電体基板1に対する洗浄処理を行う。

【0016】そして、膜厚が1 μ m程度となるように調整しながらのスパッタリング処理を繰り返し行うことにより、誘電体基板1の表面上にCuからなる導体薄膜5とSiO₂からなる誘電体薄膜6とを交互に堆積させて積層する。なお、この際における成膜処理は、表1で示す条件に基づいて行われる。

【0017】

【表1】

	導体薄膜	誘電体薄膜
基板材料	サファイア R面	
成膜方法	RFマグネトロンスパッタ	
成膜材料	Cu	SiO ₂
膜厚 (nm)	1000	800
層数	5	4
基板温度 (℃)	150	
高周波電力 (W)	600	
スパッタガス	Ar	Ar+O ₂
ガス圧力 (Pa)	0.5	0.6

【0018】次に、最上部に位置する導体薄膜5の表面上にネガレジスト材料（ウェットエッチングの場合）ないし感光性ポリイミド（ドライエッチングの場合）からなるマスク材料を塗布したうえ、塗布したマスク膜をパターンニングすることによって電極パターン4と対応した所望形状を有するマスクパターン7を形成する（図2

(a) 参照）。その後、引き続いて、マスクパターン7

上から導体薄膜5及び誘電体薄膜6に対してエッチング処理を行う。なお、このときのエッチング処理は、表2で示す条件に示すウェットエッチングでも、表3に示すドライエッチングでもよい。

【0019】

【表2】

	導体薄膜	誘電体薄膜
エッチングマスク	環化ゴム系ネガレジスト	
エッチング液	塩化第2鉄水溶液	フッ化水素酸
液温 (℃)	30	
エッチング速度 (sec)	5～10	10～15

【0020】

【表3】

エッチング方法	イオンミリング法
エッチングマスク	感光性ポリイミド
エッチングガス	Ar
イオンエネルギー (eV)	500
イオン電流密度 (mA/cm ²)	1.0
イオン入射角	垂直入射

【0021】すると、このエッチングによってパターンングが行われることになる結果、マスクパターン7を介してのエッチング処理が実行された導体薄膜5及び誘電体薄膜6は上側に位置するものから順にパターンングされることになり、これら導体薄膜5及び誘電体薄膜6のすべては連続的かつ一括的にパターンングされて、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4を形成することになる(図2(b)参照)。

【0022】電極パターン4を形成したのち、電極パターン4の端面4aに露出している導体薄膜5のみを選択的にエッチングする。すなわち、マスクパターン7を残存させた状態のマイクロストリップラインを、前述した電極パターン4形成時における導体パターン2のウェットエッチング処理と同様、表2に示す条件で塩化第2鉄水溶液Eに浸漬する。すると、電極パターン4の端面4aに露出している導体パターン2の端部だけが塩化第2鉄水溶液Eによって蝕まれることになる(図2(c)参照)。したがって、導体パターン2は電極パターン4の端面4aから奥まった位置まで後退して電極パターン端面4aに露出なくなる結果、電極パターン4の端面4aで導体パターン2(導体薄膜5)どうしが相互に短絡することはない。

【0023】このような導体パターン2の端面処理を施した後、マスクパターン7を除去し、さらに、各マイクロストリップライン毎にダイシングしたうえで検査を行い、図1に示すマイクロストリップラインが完成する。

【0024】第2実施例

図3は本実施例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図であり、図4はこのマイクロストリップラインのパターンの製造方法をそれぞれ示す断面図である。

【0025】本実施例の方法によって製造されたマイクロ波・ミリ波デバイスの一例であるマイクロストリップラインは、サファイアR面からなる誘電体基板1の表面上に、導体パターン2と誘電体パターン3とを交互に積層して構成した電極パターン4を備えた構造を有しており、基本的には従来例のものと変わらないが、第1実施例と同様、電極パターン4の端面4aに導体パターン2が露出していないことに構造的特徴がある。

【0026】次の、このマイクロストリップラインの製

造工程を説明する。まず、例えばサファイアR面の誘電体基板1を用意したうえ、この誘電体基板1に対する洗浄処理を行う。

【0027】そして、膜厚が1μm程度となるように調整しながらスパッタリング処理を繰り返し行うことにより、誘電体基板1の表面上にCuからなる導体薄膜5とSiO₂からなる誘電体薄膜6とを交互に堆積させて積層する。この堆積工程は第1実施例と全く同じである。

【0028】さらに、第1実施例と同様に、最上部に位置する導体薄膜5の表面上にネガレジスト材料(ウェットエッチングの場合)ないし感光性ポリイミド(ドライエッチングの場合)からなるマスクパターン7を形成して(図4(a)参照)、その後、引き続き、マスクパターン7上から導体薄膜5及び誘電体薄膜6に対してエッチング処理を行い、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4を形成する(図4(b)参照)。

【0029】電極パターン4を形成したのち、電極パターン4の端面4aに露出している導体薄膜5を選択的にスパッタエッチングする。すなわち、マスクパターン7を残存させた状態のマイクロストリップラインに、前述した電極パターン4形成時における導体パターン2のスパッタエッチング処理(表3参照)と同様で、かつ、イオン入射角だけを45度に変更した条件で不活性ガスのイオンビームGを照射してスパッタエッチング処理を行う。

【0030】このようなスパッタエッチングを行うと、誘電体材料(SiO₂からなる誘電体薄膜6)に比べて金属材料(銅からなる導体薄膜5)の方がスパッタ率が2～10倍程度高いため、電極パターン4の端面4aに露出している導体パターン2の端部だけが不活性ガスのイオンビームGによって蝕まれることになる(図4(c)参照)。

したがって、導体パターン2は電極パターン4の端面4aから奥まった位置まで後退して電極パターン4の端面4aに露出なくなる結果、電極パターン4の端面4aで導体パターン2(導体薄膜5)どうしが相互に短絡することはない。

【0031】このような導体パターン2の端面処理を施した後、マスクパターン7を除去し、さらに、各マイクロストリップライン毎にダイシングしたうえで検査を行い、図3に示すマイクロストリップラインが完成する。

【0032】第3実施例

図5は本実施例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図であり、図6はこのマイクロストリップラインの製造方法をそれぞれ示す断面図である。

【0033】本実施例の方法によって製造されたマイクロ波・ミリ波デバイスの一例であるマイクロストリップラインは、サファイアR面からなる誘電体基板1の表面上に、導体パターン2と誘電体パターン3とを交互に積

層して構成した電極パターン4を備えた構造を有しており、基本的には従来例のものと変わらないが、電極パターン4の端面4aに露出している導体パターン2の端部に絶縁物である酸化物2a（酸化銅）が形成されていることに構造的な特徴がある。

【0034】次の、このマイクロストリップラインの製造工程を説明する。まず、例えばサファイアのR面の誘電体基板1を用意したうえ、この誘電体基板1に対する洗浄処理を行う。

【0035】そして、膜厚が $1\mu\text{m}$ 程度となるように調整しながらのスパッタリング処理を繰り返す行うことにより、誘電体基板1の表面上にCuからなる導体薄膜5と SiO_2 からなる誘電体薄膜6とを交互に堆積させて積層する。この堆積工程は第1実施例と全く同じである。

【0036】さらに、第1実施例と同様に、最上部に位置する導体薄膜5の表面上にネガレジスト材料（ウェットエッチングの場合）ないし感光性ポリイミド（ドライエッチングの場合）からなるマスクパターン7を形成（図6（a）参照）して、その後、引き続いて、マスクパターン7上から導体薄膜5及び誘電体薄膜6に対してエッチング処理を行い、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4を形成する（図6（b）参照）。

【0037】電極パターン4を形成したのち、電極パターン4の端面4aに露出している導体パターン2の端部を酸化させるために、電極パターン4の端面4aに表4の条件で酸素イオンFを注入する（図6（c）参照）。

【0038】

【表4】

注入イオン種	酸 素
イオンエネルギー(eV)	200k
注入ドーズ量(ions)	10^{24}

【0039】そして、このような酸化イオンFの注入を行った後、 400°C でアニール処理を行うことにより、電極パターン4の端面4aに露出している導体パターン2の端部に幅数 μm 程度の酸化物（酸化銅）2aを形成する。そのため、導体パターン2はその端部に酸化物2aが存在することで電極パターン4の端面4aに露出しなくなる結果、導体パターン2（導体薄膜5）どうしが電極パターン4の端面4aで相互に短絡することはない。

【0040】なお、このような導体パターン2の端部処理を施した後、マスクパターン7を除去し、さらに、各マイクロストリップライン毎にダイシングしたうえで検査を行い、図5に示すマイクロストリップラインが完成する。

【0041】ところで、この実施例では、酸素イオンF

を注入することで、導体パターン2の端部を絶縁物化していたが、この他、窒素イオンや炭素イオンを注入して、導体パターン2の端部を絶縁物化しても同様の効果が得られる。

【0042】第4実施例

図7は本実施例にかかるマイクロストリップラインの製造方法をそれぞれ示す断面図である。

【0043】本実施例方法によって製造されたマイクロ波・ミリ波デバイスの一例であるマイクロストリップラインは、サファイアR面からなる誘電体基板1の表面上に、導体パターン2と誘電体パターン3とを交互に積層して構成した電極パターン4を備えた構造を有しており、基本的には従来例のものと変わらないが、電極パターン4の端面4aを含んだマイクロストリップラインの表面側全体を、 SiO_2 からなる保護膜10で被覆したことに構造的な特徴がある。

【0044】次の、このマイクロストリップラインの製造工程を説明する。まず、例えばサファイアのR面の誘電体基板1を用意したうえ、この誘電体基板1に対する洗浄処理を行う。

【0045】そして、膜厚が $1\mu\text{m}$ 程度となるように調整しながらのスパッタリング処理を繰り返す行うことにより、誘電体基板1の表面上にCuからなる導体薄膜5と SiO_2 からなる誘電体薄膜6とを交互に堆積させて積層する。この堆積工程は第1実施例と全く同じである。

【0046】さらに、第1実施例と同様に、最上部に位置する導体薄膜5の表面上にネガレジスト材料（ウェットエッチングの場合）ないし感光性ポリイミド（ドライエッチングの場合）からなるマスクパターン7を形成（図7（a）参照）して、その後、引き続いて、マスクパターン7上から導体薄膜5及び誘電体薄膜6に対してエッチング処理を行い、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4を形成する（図7（b）参照）。

【0047】電極パターン4を形成したのち、マスクパターン7を除去する。そして、マスクパターン7を除去したマスクストリップラインの表面側に表5の条件で、 SiO_2 からなる保護膜10を膜厚（ $1\mu\text{m}$ ）で形成する（図7（c）参照）。

【0048】

【表5】

基板材料	サファイアR面
成膜方法	RFマグネトロンスパッタ
成膜材料	SiO ₂
膜厚(μm)	1
基板温度(℃)	150
高周波電力(W)	600
スパッタガス	Ar+O ₂
ガス圧力(Pa)	0.6

【0049】そのため、導体パターン2の端部は、保護膜10によって覆われて露出しなくなり、導体パターン2（導体薄膜5）どうしが電極パターン4の端面4aで相互に短絡することはない。

【0050】なお、保護膜10を形成した後、各マイクロストリップライン毎にダイシングしたうえで検査を行い、マイクロストリップラインが完成する。

【0051】第5実施例

図8は本実施例にかかるマイクロストリップラインの製造方法をそれぞれ示す断面図である。

【0052】本実施例方法によって製造されたマイクロ波・ミリ波デバイスの一例であるマイクロストリップラインは、サファイアR面からなる誘電体基板1の表面上に、導体パターン2と誘電体パターン3とを交互に積層して構成した電極パターン4を備えた構造を有しており、基本的には従来例のものと変わらないが、電極パターン4の端面4aを含んだマイクロストリップラインの表面側全体を、ポリイミド薄膜からなる保護膜11で被覆したことに構造的な特徴がある。

【0053】次の、このマイクロストリップラインの製造工程を説明する。まず、例えばサファイアのR面の誘電体基板1を用意したうえで、この誘電体基板1に対する洗浄処理を行う。

【0054】そして、膜厚が1μm程度となるように調整しながらのスパッタリング処理を繰り返し行うことにより、誘電体基板1の表面上にCuからなる導体薄膜5とSiO₂からなる誘電体薄膜6とを交互に堆積させて積層する。この堆積工程は第1実施例と全く同じである。

【0055】さらに、第1実施例と同様に、最上部に位置する導体薄膜5の表面上にネガレジスト材料（ウェットエッチングの場合）ないし感光性ポリイミド（ドライエッチングの場合）からなるマスクパターン7を形成（図8（a）参照）して、その後、引き続いて、マスクパターン7上から導体薄膜5及び誘電体薄膜6に対してエッチング処理を行い、交互に積層された導体パターン2及び誘電体パターン3からなる電極パターン4を形成する（図8（b）参照）。

【0056】電極パターン4を形成したのち、マスクパターン7を除去する。そして、マスクパターン7を除去したマスクストリップラインの表面側にポリイミドから

なる保護膜を膜厚（1μm）で形成する（図8（c）参照）。

【0057】そのため、導体パターン2の端部は、この保護膜11によって覆われて露出しなくなり、導体パターン2（導体薄膜5）どうしが電極パターン4の端面4aで相互に短絡することはない。

【0058】なお、保護膜11を形成した後、各マイクロストリップライン毎にダイシングしたうえで検査を行い、マイクロストリップラインが完成する。

【0059】ところで、上記した各実施例では、薄膜多層電極の一例であるマイクロストリップラインにおいて本発明を実施していたが、本発明が実施できるのはマイクロストリップラインに限るわけではなく、電極端面において導体薄膜が相互短絡を起こしやすい構造を備えた薄膜多層電極に有効であるのはいうまでもない。

【0060】

【発明の効果】以上説明したように、本発明の第1の発明によれば、電極パターンの端面に露出している導体薄膜だけを選択的にエッチングするので、導体薄膜は電極パターン端面に露出することはない。そのため、電極パターン端面で導体薄膜が相互短絡することを防止でき、このような相互短絡により特性が変動することなく歩留まりが向上した。

【0061】第2の発明によれば、電極パターンの端面に露出している導体薄膜は、酸素、窒素、炭素のうちの少なくとも一つのイオンが注入されることにより、絶縁体化することになった。そのため、電極パターン端面で導体薄膜が相互短絡することを防止でき、このような相互短絡により特性が変動することなく歩留まりが向上した。

【0062】第3の発明によれば、電極パターンの端面が、無機物誘電体、もしくは有機物誘電体からなる保護膜で被覆されるので、電極パターンの端面に露出している導体薄膜の間には、これらの誘電体保護膜が介在することになった。そのため、電極パターン端面で導体薄膜が相互短絡することを防止でき、このような相互短絡により特性が変動することなく歩留まりが向上した。

【0063】さらには、これら発明には、実装時や使用時において、電極パターンの端面に導電性微粉末が付着することで起こる故障や特性劣化を予防することもできるという効果もある。

【図面の簡単な説明】

【図1】本発明の第1実施例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図である。

【図2】第1実施例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

【図3】本発明の第2実施例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図である。

ある。

【図4】第2実施例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

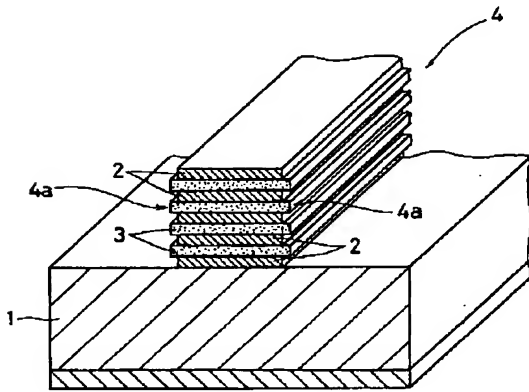
【図5】本発明の第3実施例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図である。

【図6】第3実施例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

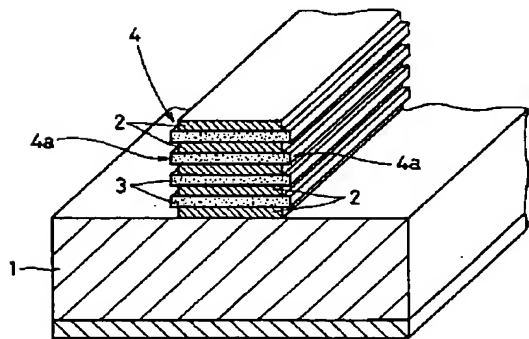
【図7】第4実施例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

【図8】第5実施例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

【図1】



【図3】



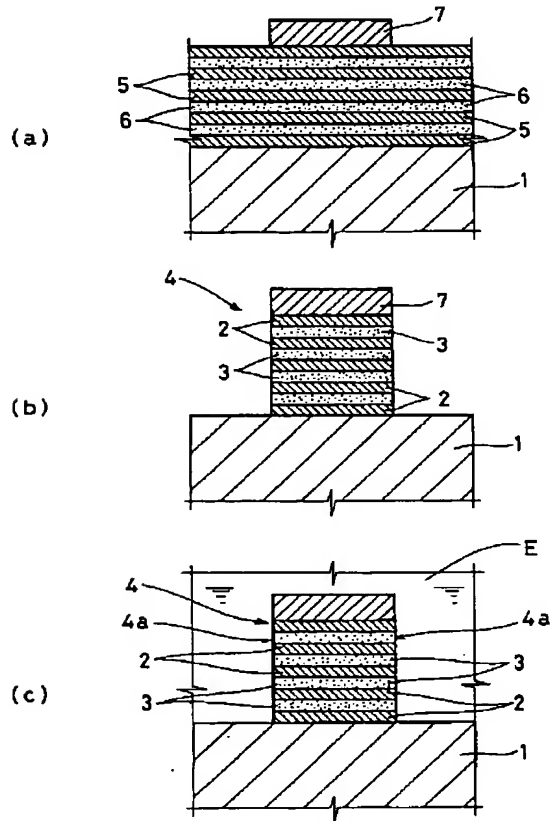
【図9】従来例にかかるマイクロストリップラインの要部構造を簡略化して示す一部破断斜視図である。

【図10】従来例の薄膜積層電極の製造方法をそれぞれ示す断面図である。

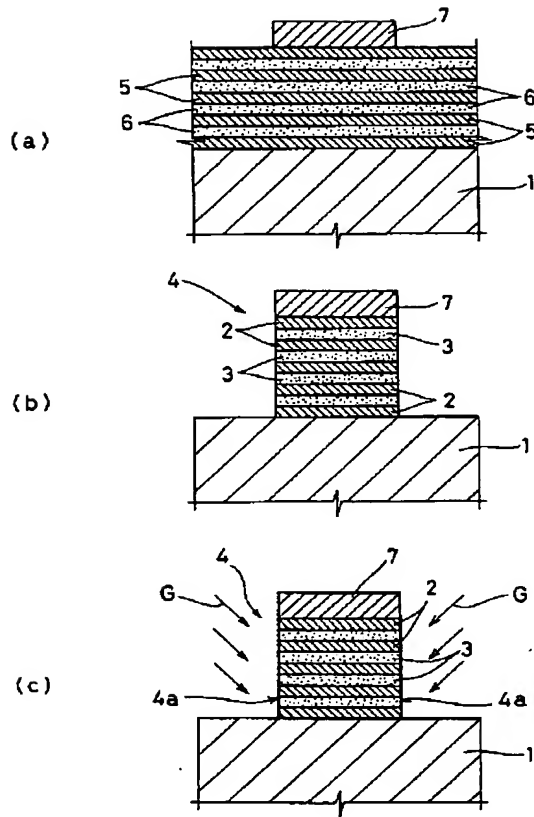
【符号の説明】

- 1 誘電体基板
- 4 電極パターン
- 4a 電極パターンの端面
- 5 導体薄膜
- 6 誘電体薄膜
- 10 SiO₂保護膜
- 11 ポリイミド保護膜

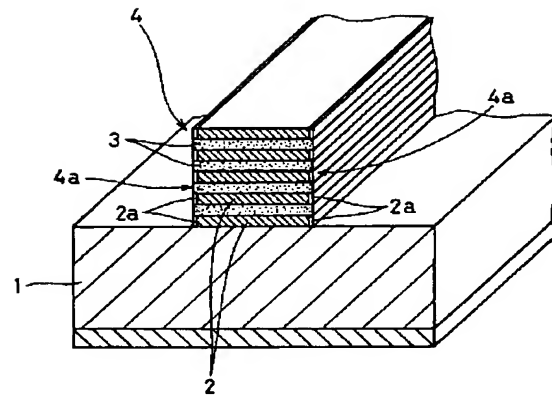
【図2】



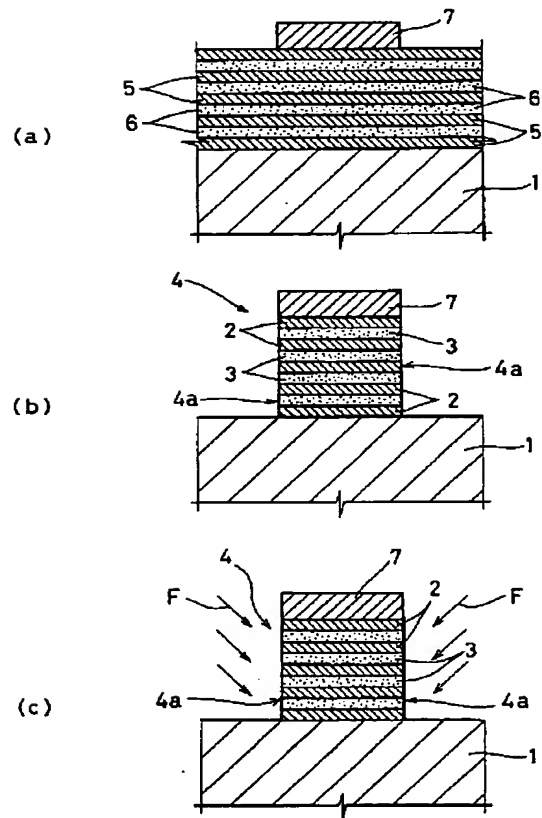
【図4】



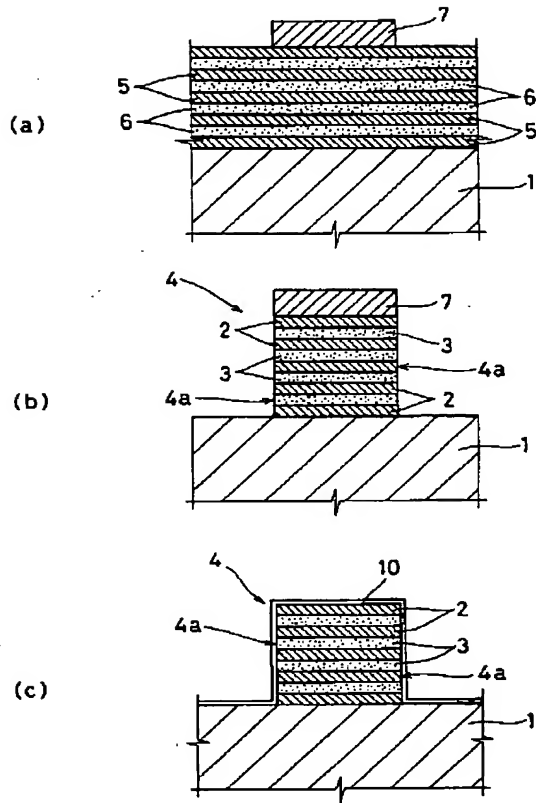
【図5】



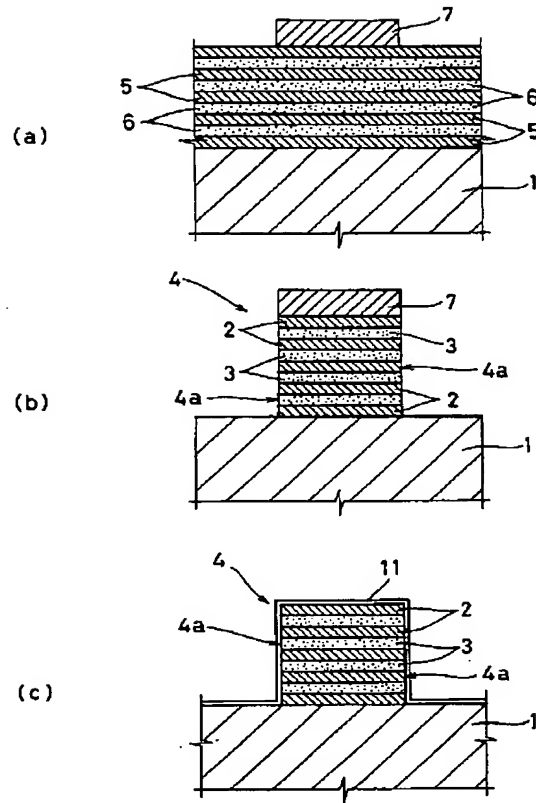
【図6】



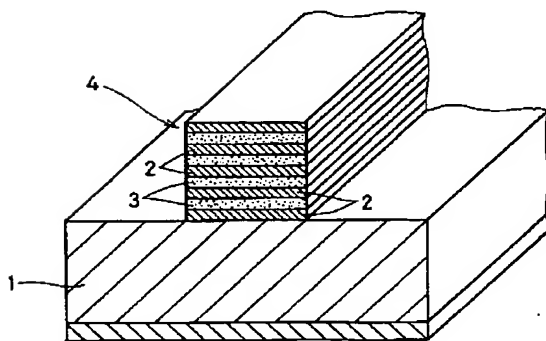
【図7】



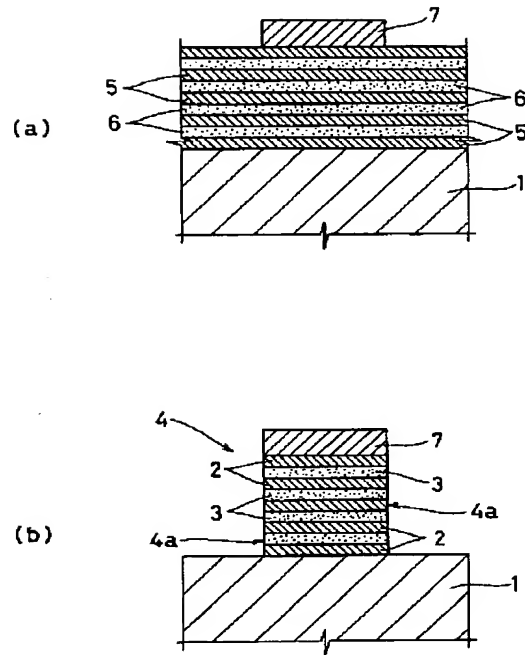
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 P 3/08

3/18

H 0 5 K 3/02

Z

3/06

A

3/46

E 6921-4E

// H 0 5 K 3/28

Z